

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-316421

(43)公開日 平成8年(1996)11月29日

(5)IntCl.*	識別記号	片内整理番号	F I	技術表示箇所
H O I L	27/04		H O I L	H
	21/822			S
			21/76	
			27/06	3 1 1 A
	27/06			

審査請求 有 請求項の数1 OL (全4頁)

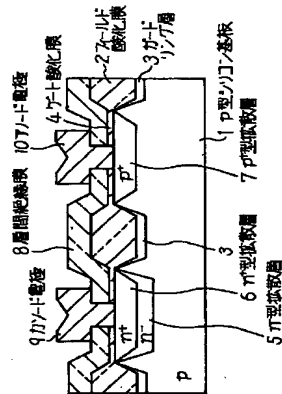
(21)出願番号	特願平7-12481	(71)出願人	00004237 日本電気株式会社
(22)出願日	平成7年(1995)5月24日	(72)発明者	永井 隆行 東京都港区芝五丁目7番1号 日本電気株 式会社内
		(74)代理人	伊理士 京本 直樹 (外2名)

(54) 【発明の名称】
半導体集積回路装置

【57】【更迭】

【目的】内部回路素子の耐圧よりも低い耐圧の保護素子をリーチスルー耐圧を利用したダイオードで形成する。

【構成】 フィールド酸化膜2で素子分離された第1の素子形成領域に n^{-} 型半放電層5と、 n^{+} 型半放電層6からなる2重半放電構造を形成し、第2の素子形成領域に p^{+} 型半放電層7を形成し、フィールド酸化膜2の下に設けた n^{-} 型のカソードリング層3とカソードの n^{+} 型半放電層6とを接合させることでリチウムイオンを内部トランジション層の両正よりも低くできる。



【特許請求の範囲】

【請求項1】一導電型半導体基板の一主面に形成して、半導体層を第1および第2の素子形成領域のそれぞれを章として分離するフィードバック絶縁膜と、前記フィードバック絶縁膜の下部に設けた一導電型のガードリング層と、前記第1および第2の素子形成領域の前記半導体基板の表面に形成した逆導性半導体層と、前記半導体層の上部に形成し且つ前記ガードリング層と隣接する半導体層の上部に形成した低不純物濃度半導体層とを有することを特徴とする半導体装置。

【発明の詳細な説明】

【産業上の利用分野】本発明は、半導体集積回路装置に関する、特に保護回路用素子に関する。

【0002】

【従来の技術】図2は従来の保護ホフバップア素子の一例を示す半導体チップの断面図である。

【0003】

するように、p型シリコン基板1の表面に設けて素子形成領域2を区画するフィードバック酸化膜2およびフィールド酸化膜2の下部に設けたp型のガード電極3と、素子形成領域2の酸化膜2の表面に形成したゲート酸化膜4と、ゲート酸化膜4の上に選択的に形成したゲート電極11と、このゲート電極11とフィールド酸化膜2をマスクとして素子形成領域2の不純物をイオン注入して形成した深いn⁺型拡散層6およびこのn⁺型拡散層6内に設けた浅いn⁺型拡散層7との2重拡散層構造となるソース・ドレイン領域と、ゲート電極1を含む表面に設けた図10の素子形成領域8と、周囲に絶縁膜12に設けたコンタクトホール9のn⁺型拡散層6に接続して形成したドレイン電極12およびゲート電極13とを有して構成される。

【0005】このオフパツファを保護素子として使用する。場合、その動作を順に示すと次のようになる。

【0006】(1) ドレイン電極に高電圧パルスが印加される。

【0007】(2) ドレイン拡散層のジャンクションダイオードDがブレイクダウンを起こす。

【0008】(3) 発生した電子・ホール対のホールが、ポート電極下の電位を引き上げる。

【0009】(4) 寄生npn型バイポーラトランジスタBがオンすることでブレイクダウン後のオン抵抗を低減することができる。

【0010】この場合、電流はドレイン抵抗 R_D 、ソース抵抗 R_S を介して流れるため、ドレイン抵抗 R_D 、ソ

ース抵抗 R_S が発熱する現象が起きる。

【0011】

【発明が解決しようとする課題】 この従来の半導体装置は、試験回路用素子の構造が内部に閉じ込められていたため、その耐圧も低く、その動作と同一ではあるが、その耐圧も低い。ドレーン・ドレイン領域の n⁻ 型化程度が低く、ドレーン抵抗およびソースが高い場合に寄生 pnpn 型バイポーラトランジスタがオンすることで、過電流が流れ、ショットキー接合およびソース領域の発熱により、ジャンクション破壊に至るという問題があった。

【0012】これらのことから、オフパツファを保護素子として使用する場合には、その占有面積を大きくして電流を分散させる必要があった。

【0013】本発明の目的は、内部回路素子よりも耐圧の低い保護素子を有する半導体集積回路を提供することにある。

[0014]

【課題を解決するための手段】本発明の半導体装置は、
 装置は、一導電型半導体基板の一主面に形成して隣接する第1および第2の素子形成領域のそれぞれを素子分離するフィーンド絶縁膜と、前記フィーンド絶縁膜の下部に設けた一導電型のガード層と、前記第1の素子形成領域の前記半導体基板の表面に形成した逆導電型の深い低不純物濃度拡散層および前記低不純物濃度拡散層の上部に形成した前記ガード層と隣接する浅い低不純物濃度拡散層からなる2重拡散層構造と、前記第2の素子形成領域の前記半導体基板の表面に形成した一導電型の高不純物濃度拡散層とを有する。

【0015】

【実施例】次に、本発明について図面を参照して説明する。

【0016】図1は本発明の一実施例を示す半導体チップの断面図である。

【0017】図1に示すように、まず、不純物濃度が 1×10^{17} 図1に示すように、まず、不純物濃度が 1×10^{17} $1 \times 10^{16} \text{ cm}^{-3}$ のp型シリコン基板1の表面を熱酸化して形成したフィード膜2の下面に、不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ で深さ0.2～1 μm のp型ガードリング層3を形成し、フィード膜2を熱酸化してより区別され且つ隣接する第1および第2の素子形成領域の表面に厚度40～100 nmのゲート酸化膜4を形成する。第1の素子形成領域に不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ で深さ0.3～2 μm のn⁺型拡散層5を形成し、このn⁺型拡散層5に重ねて、不純物濃度が $1 \times 10^{19} \sim 1 \times 10^{22} \text{ cm}^{-3}$ で深さ1.0～0.5 μm のn⁺型拡散層6を形成した二重拡散層を形成する。

【0018】次に、第2の葉子形成領域に不純物濃度が $1 \times 10^{19} \sim 1 \times 10^{22} \text{ cm}^{-3}$ で深さ $0.2 \sim 1 \mu\text{m}$ の p^+ 型拡散層7を形成する。次に、全面に層間絶縁膜8を堆積して選択的にエッチングし、 n^+ 型拡散層6および

び p^+ 型拡散層7の上にコンタクトホールを形成し、このコンタクトホールを含む表面に金属膜を堆積してパターニングし、コンタクトホールの n^+ 型拡散層6に接続するカソード電極9と p^+ 型拡散層7に接続するアノード電極10とのそれぞれを形成する。

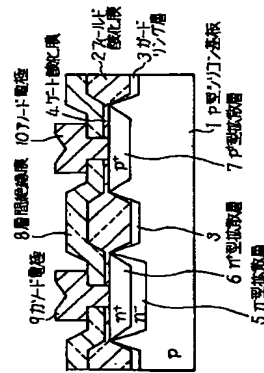
【0019】ここで、図示されていないが、カソード電極9は外部端子に接続されるときにも、保護されるべきトランジスタのゲート電極（保護素子が入力回路保護に用いられるとき）、あるいは保護されるべきトランジスタのドレイン（保護素子が出力回路保護に用いられるとき）等に接続される。

【0020】このように構成された半導体集積回路装置では、 n^+ 型拡散層6が p 型ガードリング層3と隣接しているため、空乏層のびが制限され、リーチスルー耐圧が内部トランジスタより低い。よって、特に専用工程の追加を行うことなく、内部トランジスタより耐圧の低い保護ダイオードを形成することができる。また n^+ 型拡散層5を通らずに電流が流れるので、熱の発生も抑えられ、ジャンクション破壊は防止される。

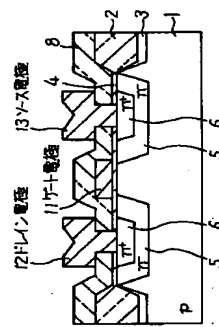
【0021】

【発明の効果】以上説明したように本発明は、一導電型半導体基板の表面にフィニッシュ酸化膜で区画された第1の素子形成領域に形成した低濃度の逆導電型拡散層およびその上部に設け且つフィニッシュ酸化膜の下部に設けた一導電型ガードリング層と隣接された高濃度の逆導電型拡散層により、高電圧バースがカソード電極に印加された場合の空乏層の広がりを内部トランジスタの高濃度の逆導電型拡散層と一導電型ガードリング層が確保している場合に比べて小さくし、リーチスルー耐圧を内部トランジスタより低くした保護素子を実現できる。実際には n^+ 型拡散層の不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 、深さ $0.3 \sim 2 \mu\text{m}$ で、 p 型ガードリングの不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 、深さ $0.2 \sim 1 \mu\text{m}$ の場合、内部トランジスタの耐圧が $20 \sim 80 \text{ V}$ であるのに対して本発明の保護ダイオードの耐圧は $2 \sim 30 \text{ V}$ となる。

【図1】



【図2】



【図3】

